

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-273130

(43)Date of publication of application : 26.09.2003

(51)Int.Cl.

H01L 21/338

H01L 29/778

H01L 29/78

H01L 29/812

(21)Application number : 2002-072538

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 15.03.2002

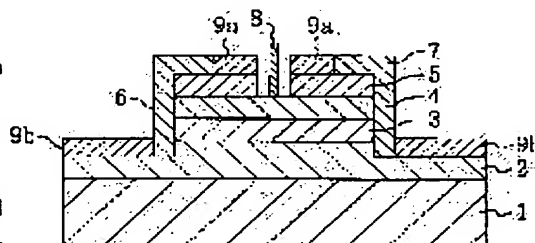
(72)Inventor : FURUYA HIROYUKI
YOKOGAWA TOSHIYA
DEGUCHI MASAHIRO
YOSHII SHIGEO
SUZUKI CHIYOUJITSURIYO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device comprising a compound semiconductor having a good operating characteristic.

SOLUTION: A mesa part formed on a substrate 1 comprises a high resistance layer 2, a channel layer 3 composed of Si-doped GaAs, a high resistance layer 4 composed of undoped GaAs, and a contact layer 5 composed of Si-doped GaAs. At the center of the mesa part, the contact layer 5 is etched and removed to expose the high resistance layer 4. A gate electrode 8 is formed on the exposed high resistance layer 4 to form a recess structure. A source electrode layer 6 and a drain electrode layer 7 are formed from the upper part of the contact layer 5 to the lower part of the side surface of the mesa part. A region of the contact layer 5 having neither the source electrode layer 6 nor the drain electrode layer 7 formed thereon and the high resistance layer 2 are coated with passivation layers 9a, 9b. Because the passivation layers 9a, 9b are composed of silicon oxynitride films, strain applied to the device can be made small.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-273130

(P 2 0 0 3 - 2 7 3 1 3 0 A)

(43) 公開日 平成15年 9 月26日 (2003. 9. 26)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 21/338		H01L 29/80	Q 5F102
29/778			F 5F140
29/78			H
29/812		29/78 301	B

審査請求 未請求 請求項の数12 O L (全11頁)

(21) 出願番号 特願2002-72538(P 2002-72538)

(22) 出願日 平成14年 3 月15日 (2002. 3. 15)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 古屋 博之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 横川 俊哉

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外 7 名)

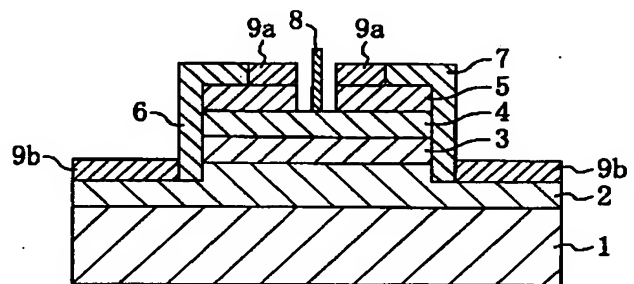
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 良好な動作特性を有する化合物半導体の半導体装置を提供する。

【解決手段】 基板1の上に、高抵抗層2と、SiドーパGaAsであるチャネル層3と、アンドープGaAsである高抵抗層4と、SiドーパGaAsであるコンタクト層5とからなるメサ部が形成されている。メサ部の中央部では、コンタクト層5がエッチング除去され、高抵抗層4が露出している。露出する高抵抗層4の上には、ゲート電極8が形成され、リセス構造になっている。コンタクト層5の上からメサ部の側面上に亘って、ソース電極層6およびドレイン電極層7が形成されている。コンタクト層5のうちソース電極層6およびドレイン電極層7が形成されていない領域の上と高抵抗層2の上とは、パッシベーション層9a、9bにより覆われている。パッシベーション層9a、9bがシリコン酸窒化膜からなることにより、デバイスに与えるひずみを小さくすることができる。



【特許請求の範囲】

【請求項 1】 半導体基板と、

上記半導体基板上に形成され、活性領域を有する化合物半導体層と、

上記化合物半導体層内の上記活性領域の上方に位置する領域に形成され、シリコン、酸素および窒素を含む絶縁膜とを備えることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置であって、上記絶縁膜は、シリコン酸化膜であることを特徴とする半導体装置。

【請求項 3】 請求項 1 に記載の半導体装置であって、上記絶縁膜は、シリコン酸化膜とシリコン窒化膜とが、少なくとも 1 層ずつ積層された多層膜であることを特徴とする半導体装置。

【請求項 4】 請求項 1～3 のうちいずれか 1 つに記載の半導体装置において、

上記活性領域の上に、上記活性領域とショットキー接触するゲート電極をさらに備え、

上記絶縁膜は上記ゲート電極の側方に設けられていることを特徴とする半導体装置。

【請求項 5】 請求項 1～3 のうちいずれか 1 つに記載の半導体装置において、

上記絶縁膜の上には、上記絶縁膜を挟んで上記活性領域に対向するゲート電極が形成されていることを特徴とする半導体装置。

【請求項 6】 請求項 1～5 のうちいずれか 1 つに記載の半導体装置であって、

上記化合物半導体層は、GaAs、InP、ZnSe、InGaAs、InAlAs、InGaAsN、InGaAsP、InGaPN、GaN、AlGaN、InGaN のうちのいずれか 1 つであることを特徴とする半導体装置。

【請求項 7】 請求項 1～6 のうちいずれか 1 つに記載の半導体装置であって、

上記化合物半導体層の上面は、{110} 面、{111} 面および {100} 面のうちいずれか 1 つであることを特徴とする半導体装置。

【請求項 8】 半導体基板上に、化合物半導体層を形成する工程 (a) と、

上記化合物半導体層の表面を清浄化する工程 (b) と、

上記化合物半導体層内の活性領域の上方に、シリコン、酸素および窒素を含む絶縁膜を形成する工程 (c) とを備えることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 に記載の半導体装置の製造方法であって、

上記工程 (c) では、上記絶縁膜としてシリコン酸化膜を形成することを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 8 に記載の半導体装置の製造方法であって、

上記工程 (c) では、上記絶縁膜としてシリコン酸化膜

とシリコン窒化膜とが交互に少なくとも 1 層ずつ積層された多層膜を形成することを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 8～10 のうちいずれか 1 つに記載の半導体装置の製造方法であって、

上記工程 (b) の後に、上記化合物半導体層の上記活性領域にショットキー接触するゲート電極を形成する工程をさらに備えることを特徴とする半導体装置の製造方法。

10 【請求項 12】 請求項 8～10 のうちいずれか 1 つに記載の半導体装置の製造方法であって、

上記工程 (c) の後に、上記絶縁膜の上にゲート電極を形成する工程をさらに備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電界効果型トランジスタをはじめとする半導体装置およびその製造方法に関するものである。

20 【0002】

【従来の技術】GaAs や InP 等からなる化合物半導体基板上に形成された、FET、HEMT 等の電解効果トランジスタは、超高速・高周波動作可能という特徴を持つ。このため、精力的に研究開発されており、金属-半導体電解効果トランジスタ (MESFET)、金属-絶縁物-半導体トランジスタ (MISFET) などが報告されていた。

30 【0003】図 12 (a) は、従来の電界効果型トランジスタ (MESFET) 構造を示した断面図である。従来の MESFET では、基板 101 の上に、高抵抗層 102、チャネル層 103、高抵抗層 104 およびコンタクト層 105 からなるメサ部が形成されている。

【0004】メサ部では、コンタクト層 105 の中央部がエッチング除去され、露出する高抵抗層 104 上には、リセス構造状にゲート電極層 108 が形成されている。コンタクト層 105 の上からメサ部の側面上に亘って、ソース電極層 106 およびドレイン電極層 107 が形成されている。コンタクト層 105 上のうちソース電極層 106 およびドレイン電極層 107 が形成されていない領域と、高抵抗層 102 上とは、シリコン酸化膜からなるパッシベーション層 109 により覆われている。

40 【0005】図 12 (b) は、従来の電界効果型トランジスタ (MISFET) の構造を示す断面図である。従来の MISFET では、Fe が添加された GaAs からなる半絶縁性の基板 111 の上に n-GaAs である半導体層 112 が形成されており、半導体層 112 の上部は n'-GaAs からなるソース・ドレイン領域 113 となっている。半導体層 112 のチャネルの上にはシリコン酸化膜からなるゲート絶縁膜 114 を挟んでゲート電極 115 が形成され、半導体層 112 のソース・ドレ

イン領域 113 の上にはソース・ドレイン電極 116 が形成されている。

【0006】

【発明が解決しようとする課題】しかしながら、GaAs や InP 等の化合物半導体基板上に形成された FET、HEMT 等の電界効果型トランジスタにおいては、パッシベーション層あるいはゲート絶縁膜がデバイス表面に与えるひずみが原因となり、デバイス界面の欠陥や転位が発生するという不具合があった。そのため、ゲートとチャネル間の距離を小さくした場合に所望の耐圧を保つことが困難であった。

【0007】また、一般に化合物半導体は有極性化合物であるため、その表面に弾性応力が作用すると、半導体結晶内部に分極が誘起される。そのような現象がピエゾ電気効果である。MESFET、HEMT 等では、パッシベーション層あるいはゲート絶縁膜からの弾性応力によってピエゾ電気効果が発生し、しきい値電圧や飽和電流の変動をもたらしていた。

【0008】本発明は、パッシベーション層あるいはゲート絶縁膜がデバイス表面に与えるひずみを小さくすることで低い界面準位密度を実現すると共に、ピエゾ電気効果を低減することによりゲート耐圧等の素子特性が向上する半導装置およびその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の半導体装置は、半導体基板と、上記半導体基板上に形成され、活性領域を有する化合物半導体層と、上記化合物半導体層内の上記活性領域の上方に位置する領域に形成され、シリコン、酸素および窒素を含む絶縁膜とを備えることを特徴とする。

【0010】これにより、絶縁膜がデバイス表面に与えるひずみを低減することができる。したがって、ゲート耐圧等の素子特性を向上させることができ、高機能化および小型化を図ることができる。また、ピエゾ効果の発生を抑制することができるので、閾値電圧や飽和電流等の変動を抑えることができる。

【0011】上記絶縁膜は、シリコン酸化膜であってもよい。

【0012】上記絶縁膜は、シリコン酸化膜とシリコン窒化膜とが、少なくとも 1 層ずつ積層された多層膜であってもよい。

【0013】上記活性領域の上に、上記活性領域とショットキー接触するゲート電極をさらに備え、上記絶縁膜は上記ゲート電極の側方に設けられていることにより、高速・高周波用のデバイスにおいて、本発明の効果を達成することができる。

【0014】上記絶縁膜の上には、上記絶縁膜を挟んで上記活性領域に対向するゲート電極が形成されていてもよい。

【0015】上記化合物半導体層は、GaAs、InP、ZnSe、InGaAs、InAlAs、InGaAsN、InGaAsP、InGaPN、GaN、AlGaN、InGaN のうちのいずれか 1 つであることが好ましい。

【0016】上記化合物半導体層の上面は、{110} 面、{111} 面および {100} 面のうちいずれか 1 つであることにより、デバイスに生じるひずみ量を大きく低減することができる。

【0017】本発明の半導体装置の製造方法は、半導体基板上に、化合物半導体層を形成する工程 (a) と、上記化合物半導体層の表面を清浄化する工程 (b) と、上記化合物半導体層内の活性領域の上方に、シリコン、酸素および窒素を含む絶縁膜を形成する工程 (c) とを備えることを特徴とする。

【0018】これにより、絶縁膜がデバイス表面に与えるひずみの小さな半導体装置を得ることができる。したがって、ゲート耐圧等の素子特性を向上させることができ、半導体装置の高機能化および小型化が可能となる。また、ピエゾ効果の発生を抑制することができるので、閾値電圧や飽和電流等の変動の抑制された半導体装置を得ることができる。

【0019】上記工程 (c) では、上記絶縁膜としてシリコン酸化膜を形成してもよい。

【0020】上記工程 (c) では、上記絶縁膜としてシリコン酸化膜とシリコン窒化膜とが交互に少なくとも 1 層ずつ積層された多層膜を形成してもよい。

【0021】上記工程 (b) の後に、上記化合物半導体層の上記活性領域にショットキー接触するゲート電極を形成する工程をさらに備えていることにより、ひずみ等が抑制された高速・高周波用の半導体装置を得ることができる。

【0022】上記工程 (c) の後に、上記絶縁膜の上にゲート電極を形成する工程をさらに備えていてもよい。

【0023】

【発明の実施の形態】(第 1 の実施形態) 本実施形態では、シリコン酸化膜からなるパッシベーション膜を備えた GaAs MESFET (Metal Semiconductor Field Effect Transistor) を例にして説明する。図 1、図 2 は、第 1 の実施形態の半導体装置の構造を示す平面図および断面図である。図 2 は、図 1 の II-II 面における断面を示している。なお、図 1、図 2 における各寸法は、実際の寸法と必ずしも一致していない。

【0024】図 2 に示すように、本実施形態の FET では、半絶縁性の GaAs である基板 1 の上に、厚さ約 300 nm のアンドープ GaAs である高抵抗層 2 と、厚さ約 15 nm の Si ドープ GaAs であるチャネル層 3 と、厚さ約 60 nm のアンドープ GaAs である高抵抗層 4 と、厚さ 10 nm の Si ドープ GaAs であるコンタクト層 5 とからなるメサ部が形成されている。ここ

で、チャンネル層3およびコンタクト層5では、Siのドーピング密度は約 $2 \times 10^{14} \text{ cm}^{-3}$ である。

【0025】メサ部の中央部では、コンタクト層5がエッチング除去され、高抵抗層4の上面が露出している。露出する高抵抗層4の上には、リセス構造で、ゲート幅約 $150 \mu\text{m}$ 、ゲート長約 $0.5 \mu\text{m}$ のゲート電極層8が形成されている。ゲート電極層8は、Al、Ti等からなり、高抵抗層4と良好なショットキー接触を形成している。

【0026】コンタクト層5の上からメサ部の側面上に亘って、ソース電極層6およびドレイン電極層7が形成されている。ソース電極層6およびドレイン電極層7は、AuGe合金等からなり、コンタクト層5と良好なオーミック接触を形成している。

【0027】コンタクト層5上のうちソース電極層6およびドレイン電極層7が形成されていない領域と、高抵抗層2の上とは、パッシベーション層9a、9bにより覆われている。ここで、パッシベーション層9a、9bは、厚さ約 100 nm のシリコン酸化物(SiON)からなる。

【0028】以下に、本実施形態の半導体装置の製造方法について、図3(a)～(c)、図4(a)～(c)を参照しながら説明する。図3(a)～(c)、図4

(a)～(c)は、第1の実施形態の半導体装置の製造工程を示す断面図である。なお、3(a)～(c)、図4(a)～(c)における各寸法は、実際の寸法と必ずしも一致していない。

【0029】まず、図3(a)に示す工程で、エピタキシャル成長技術に基づいて、半絶縁性のGaAsからなる基板1の(100)面上に、厚さ約 300 nm のアンダーブGaN層2aと、厚さ約 15 nm のSiドーブGaN層3aと、厚さ約 60 nm のアンダーブGaN層4aと、厚さ約 10 nm のSiドーブGaN層5aとを形成する。

【0030】ここで、エピタキシャル成長技術としては、MBE (Molecular Beam Epitaxy) 法、CBE (Chemical Beam Epitaxy) 法、OMVPE (Organic Metal Vapor Phase Epitaxy) 法、MOCVD (Metal Organic Chemical Vapor Deposition) 法、クロライドVPE (Chloride Vapor Phase Epitaxy) 法などが適している。

【0031】次に、図3(b)に示す工程で、フォトリソグラフィ技術に基づいて、SiドーブGaN層5a上にレジスト11を堆積してパターニングを行なう。そして、 H_2SO_4 - H_2O_2 - H_2O 系のエッチング液等を用いてウェットエッチングを行なうことにより、高抵抗層2、チャンネル層3、高抵抗層4およびコンタクト層5からなるメサ部を形成する。

【0032】次に、図3(c)に示す工程で、レジスト11を除去した後の基板を、真空度が $1.33 \times 10^{-4} \text{ Pa}$ 程度のECRプラズマCVD装置に導入する。導入

後、基板温度を 300°C 程度とし、温度が安定するまで10分間程度放置する。その後、マイクロ波出力 200 W で、流量 10 ml/min の SiH_4 ガスと、流量 20 ml/min の O_2 ガスと、流量 20 ml/min の N_2 ガスを導入し、基板上に、厚さ 100 nm 程度のシリコン酸化(SiON)膜を形成する。

【0033】続いて、シリコン酸化膜上にレジスト12を堆積してパターニングを行なう。そして、 CF_4 ガスを用いて反応性イオンエッチングを行なってシリコン酸化膜のうちソース・ドレイン電極層を形成する部分を除去することにより、コンタクト層5の中央部の上と高抵抗層2の上に、シリコン酸化膜からなるパッシベーション層9a、9bを形成する。ここで、エピタキシャル成長技術として、ECRプラズマCVD法以外にプラズマCVD法などを用いてもよい。

【0034】次に、図4(a)に示す工程で、パッシベーション層9a、9bの上に残っているレジスト12を除去する。そして、金属蒸着法とリフトオフ法とを用いて、AuGeなどのオーミック電極を蒸着して合金化することにより、コンタクト層5の上からメサ部の側面上に亘ってソース電極層6およびドレイン電極層7を形成する。ここで、金属蒸着法としては真空蒸着法あるいはスパッタリング法などが適している。

【0035】次に、図4(b)に示す工程で、フォトリソグラフィ技術に基づいて、基板上にレジスト13を堆積してパターニングを行なう。続いて、ウェットエッチング法に基づいて、メサ部の中央部のパッシベーション層9aおよびコンタクト層5を除去して、高抵抗層4を露出させる。ここで、パッシベーション層9aは CF_4 ガスを用いた反応性イオンエッチングにより除去し、コンタクト層5は H_2SO_4 - H_2O_2 - H_2O 系エッチング液などを用いて除去する。

【0036】次に、図4(c)に示す工程で、リフトオフ法および金属蒸着法に基づいて、メサ部の中央部に露出した高抵抗層4の上に、Al、Tiなどの金属を蒸着してゲート電極層8を形成する。ゲート電極層8は、図1に示すように、メサ部の段差部10の側面上からパッシベーション層9bの上に伸びるように形成する。ここで、金属蒸着法としては、ゲート金属の付着に方向性を有する真空蒸着法やスパッタリング法が適している。以上の工程により、本実施形態の半導体装置が形成される。

【0037】図5は、基板1の(110)面を主面とした場合に、デバイスが受けるひずみ量と、パッシベーション層の材質との関係を示すグラフ図である。パッシベーション層としては、従来のシリコン酸化膜およびシリコン窒化膜と、本実施形態のシリコン酸化膜(SiON)を用いた。シリコン酸化膜をパッシベーション層とした場合のひずみ量を1として、シリコン窒化膜、シリコン酸化膜の場合のひずみ量を規格化した。各パッシ

ベーション層がデバイスに与えるひずみ量は、ラマン分光法により測定した。

【0038】図5に示すように、パッシベーション層がシリコン酸化膜(SiON)である場合では、酸化膜または窒化膜である場合と比較して、デバイスが受けるひずみ量が小さくなっている。

【0039】つまり、本実施形態では、パッシベーション層をシリコン酸化膜とすることにより、従来のシリコン酸化膜またはシリコン窒化膜の場合と比較して、パッシベーション層がデバイス表面に与えるひずみを小さくすることができる。これにより、デバイス界面の欠陥や転位の発生を抑制することができ、低い界面準位密度を実現できる。その結果、リーク電流の発生を大幅に抑制することができる。したがって、ゲート耐圧等の素子特性が向上し、高機能化を達成できる。また、所望のゲート耐圧を保ちながらゲートとチャネル間の距離を小さくすることも可能となる。

【0040】一般的に、GaAs, InP等の化合物半導体は有極性化合物であるため、その表面に弾性応力が作用すると半導体結晶の内部に分極が誘起され、ピエゾ電気効果が発生する。従来では、ピエゾ電気効果による閾値電圧や飽和電流等の変動が問題となっているが、本実施形態では、上述のようにパッシベーション層あるいはゲート絶縁膜がデバイス表面に与えるひずみを小さくできるのでピエゾ電気効果を抑制することができ、閾値電圧や飽和電流等の変動を抑えることができる。

【0041】なお、本発明では、上記実施形態に限られるものではなく、種々の変形を行なうことが可能である。

【0042】本実施形態の効果をj得るためには、基板1の{110}面を主面とすると、ひずみを特に低減することができるが、他の面を選択してもよい。例えば、図6に示すように、基板の{111}面を選択した場合にもひずみを低減することができる。また、基板の{100}面を選択してもよい。

【0043】本実施形態ではGaAs基板を用いたMESFETについて述べたが、本発明では、化合物半導体であるInP、ZnSe、InGaAs、InAlAs、InGaAsN、InGaAsP、InGaPN、GaN、AlGaN、InGaNや、有極性の材料などを基板材料として用いたMESFET、MOSFETあるいはHEMTにおいても、同様の効果をj得ることがjできる。

【0044】(第2の実施形態)本実施形態では、GaAs MESFET (Metal Semiconductor Field Effect Transistor) を例にして説明する。図7、図8は、第2の実施形態の半導体装置の構造を示す平面図および断面図である。図8は、図7のVIII-VIII面における断面を示している。なお、図7、図8における各寸法は、実際の寸法と必ずしも一致していない。

【0045】図7に示すように、本実施形態のFETでは、半絶縁性のGaAsである基板21の上に、厚さ約300nmのアンドープGaAsである高抵抗層22と、厚さ約15nmのSiドープGaAsであるチャネル層23と、厚さ約60nmのアンドープGaAsである高抵抗層24と、厚さ10nmのSiドープGaAsであるコンタクト層25とからなるメサ部が形成されている。ここで、チャネル層23およびコンタクト層25では、Siのドーピング密度は約 $2 \times 10^{18} \text{ cm}^{-3}$ である。

【0046】メサ部の中央部では、コンタクト層25がエッチング除去され、高抵抗層24の上面が露出している。露出する高抵抗層24の上には、リセス構造で、ゲート幅約150 μm 、ゲート長約0.5 μm のゲート電極層28が形成されている。ゲート電極層28は、Al, Ti等からなり、高抵抗層24と良好なショットキー接触を形成している。

【0047】コンタクト層25の上からメサ部の側面上に亘って、ソース電極層26およびドレイン電極層27が形成されている。ソース電極層26およびドレイン電極層27は、AuGe合金等からなり、コンタクト層25と良好なオーミック接触を形成している。

【0048】コンタクト層25上のうちソース電極層26およびドレイン電極層27が形成されていない領域と、高抵抗層22の上とは、パッシベーション層29a, 29bにより覆われている。ここで、パッシベーション層29a, 29bは、厚さ10nmのシリコン酸化膜と厚さ10nmのシリコン窒化膜とが交互に積層した多層膜からなる。

【0049】以下に、本実施形態の半導体装置の製造方法について、図9(a)~(c)、図10(a)~(c)を参照しながら説明する。図9(a)~(c)、図10(a)~(c)は、第2の実施形態の半導体装置の製造工程を示す断面図である。図9(a)~(c)、図10(a)~(c)における各寸法は、実際の寸法と必ずしも一致していない。

【0050】まず、図9(a)に示す工程で、エピタキシャル成長技術に基づいて、半絶縁性のGaAsからなる基板21の(100)面上に、厚さ約300nmのアンドープGaAs層22aと、厚さ約15nmのSiドープGaAs層23aと、厚さ約60nmのアンドープGaAs層24aと、厚さ約10nmのSiドープGaAs層25aとを形成する。

【0051】ここで、エピタキシャル成長技術としては、MBE (Molecular Beam Epitaxy) 法、CBE (Chemical Beam Epitaxy) 法、OMVPE (Organic Metal vapor Phase Epitaxy) 法、MOCVD (Metal Organic Chemical Vapor Deposition) 法、クロライドVPE (Chloride Vapor Phase Epitaxy) 法などが適している。

【0052】次に、図9(b)に示す工程で、フォトリ

ソグラフィ技術に基づいて、SiドープGaAs層25a上にレジスト31を堆積してパターニングを行なう。そして、 H_2SO_4 - H_2O_2 - H_2O 系のエッチング液等を用いてウェットエッチングを行なうことにより、高抵抗層22、チャネル層23、高抵抗層24およびコンタクト層25からなるメサ部を形成する。

【0053】次に、図9(c)に示す工程で、レジスト31を除去した後の基板を、真空度が 1.33×10^{-4} Pa程度のECRプラズマCVD装置に導入する。導入後、基板温度を300℃程度とし、温度が安定するまで10分間程度放置する。その後、マイクロ波出力200 Wで、流量10 ml/minの SiH_4 ガスおよび流量20 ml/minの O_2 ガスの供給と、流量10 ml/minの SiH_4 ガスおよび流量20 ml/minの N_2 ガスの供給とを交互に繰り返して、基板上に、厚さ10 nmのシリコン酸化膜と、厚さ10 nmのシリコン窒化膜とを10周期形成する。これにより、シリコン酸化膜/シリコン窒化膜からなる100 nm程度の多層膜を形成する。ここで、多層膜を構成するシリコン酸化膜およびシリコン窒化膜の膜厚、周期は、10 nm、10周期に限定されるものではない。

【0054】続いて、シリコン酸化膜/シリコン窒化膜の多層膜上にレジスト32を堆積してパターニングを行なう。そして、CF₄ ガスを用いて反応性イオンエッチングを行なって多層膜のうちソース・ドレイン電極層を形成する部分を除去することにより、コンタクト層25の中央部の上と高抵抗層22の上に、シリコン酸化膜/シリコン窒化膜の多層膜であるパッシベーション層29a、29bを形成する。ここで、エピタキシャル成長技術として、ECRプラズマCVD法以外にプラズマCVD法などを用いてもよい。

【0055】次に、図10(a)に示す工程で、パッシベーション層29a、29bの上に残っているレジスト32を除去する。そして、金属蒸着法とリフトオフ法とを用いて、AuGeなどのオーミック電極を蒸着して合金化することにより、コンタクト層25の上からメサ部の側面上に亘ってソース電極層26およびドレイン電極層27を形成する。ここで、金属蒸着法としては真空蒸着法あるいはスパッタリング法などが適している。

【0056】次に、図10(b)に示す工程で、フォトリソグラフィ技術に基づいて、基板上にレジスト33を堆積してパターニングを行なう。続いて、ウェットエッチング法に基づいて、メサ部の中央部のパッシベーション層29aおよびコンタクト層35を除去して、高抵抗層34を露出させる。ここで、パッシベーション層29aはCF₄ ガスを用いた反応性イオンエッチングにより除去し、コンタクト層25は H_2SO_4 - H_2O_2 - H_2O 系エッチング液などを用いて除去する。

【0057】次に、図10(c)に示す工程で、リフトオフ法および金属蒸着法に基づいて、メサ部の中央部に

露出した高抵抗層24の上に、Al、Tiなどの金属を蒸着してゲート電極層28を形成する。ゲート電極層28は、図7に示すように、メサ部の段差部30の側面上からパッシベーション層29bの上に伸びるように形成する。ここで、金属蒸着法としては、ゲート金属の付着に方向性を有する真空蒸着法やスパッタリング法が適している。以上の工程により、本実施形態の半導体装置が形成される。

【0058】本実施形態においては、パッシベーション層としてシリコン酸化膜/シリコン窒化膜の多層膜、シリコン酸化膜あるいはシリコン窒化膜を用いた場合に、各パッシベーション層がデバイス表面に与えるひずみを、レーザラマン分光法により測定した。その結果、パッシベーション層をシリコン酸化膜/シリコン窒化膜の多層膜とした場合には、シリコン酸化膜またはシリコン窒化膜の場合と比較して、デバイスが受けるひずみ量が小さくなっていた。

【0059】つまり、本実施形態では、従来のシリコン酸化膜またはシリコン窒化膜の場合と比較して、パッシベーション層がデバイス表面に与えるひずみを小さくすることができる。これにより、デバイス界面の欠陥や転位の発生を抑制することができ、低い界面準位密度を実現できる。その結果、リーク電流の発生を大幅に抑制することができる。したがって、耐圧等の素子特性が向上し、高機能化を達成できる。また、所望の耐圧を保ちながらゲートとチャネル間の距離を小さくすることも可能となる。

【0060】一般的に、GaAs、InP等の化合物半導体は有極性化合物であるため、その表面に弾性応力が作用すると半導体結晶の内部に分極が誘起され、ピエゾ電気効果が発生する。従来では、ピエゾ電気効果による閾値電圧や飽和電流等の変動が問題となっているが、本実施形態では、パッシベーション層あるいはゲート絶縁膜がデバイス表面に与えるひずみを小さくしてピエゾ電気効果を抑制することができ、閾値電圧や飽和電流等の変動を抑えることができる。

【0061】なお、本発明では、上記実施形態に限られるものではなく、種々の変形を行なうことが可能である。

【0062】本実施形態の効果をj得るためには、基板1の{110}面を主面とすることが望ましいが、{111}面または{100}面など他の面を選択してもよい。

【0063】本実施形態ではGaAs基板を用いたMESFETについて述べたが、本発明では、化合物半導体であるInP、ZnSe、InGaAs、InAlAs、InGaAsN、InGaAsP、InGaPN、GaN、AlGaN、InGaNなどが基板であるMESFET、MOSFETあるいはHEMTにおいても、同様の効果をj得ることができる。

【0064】(第3の実施形態)本実施形態では、シリコン酸化膜をゲート絶縁膜に用いる化合物半導体のMISFETについて説明する。

【0065】図11(a)は、第3の実施形態の半導体装置のうち、ソース・ドレイン領域をイオン注入により形成した構造を示しており、図11(b)は、ソース・ドレイン層をin situ ドープにより形成した構造を示している。なお、図11(a)、(b)における各寸法は、実際の寸法と必ずしも一致していない。

【0066】図11(a)に示す構造では、Feが添加されたGaAsからなる半絶縁性の基板41の上にn-GaAsである半導体層42が形成されており、半導体層42の上部はn'-GaAsからなるソース・ドレイン領域43となっている。半導体層42のチャンネルの上にはシリコン酸化膜からなるゲート絶縁膜44を挟んでゲート電極45が形成され、半導体層42のソースドレイン領域43の上にはソース・ドレイン電極46が形成されている。

【0067】図11(b)に示す構造では、Feが添加されたGaAsからなる半絶縁性の基板51の上にn-GaAsである半導体層52が形成され、半導体層52の上には、n'-GaAsからなるソース・ドレイン層53と、シリコン酸化膜からなるゲート絶縁膜54とが形成されている。ゲート絶縁膜54の上にはゲート電極55が形成されており、ソース・ドレイン層53の上には、ソース・ドレイン電極56が形成されている。

【0068】ここで、本実施形態のゲート絶縁膜の製造方法について説明する。前工程まで終えた基板を、真空度が 1.33×10^{-4} Pa程度のECRプラズマCVD装置に導入する。導入後、基板温度を300℃程度とし、温度が安定するまで10分間程度放置する。その後、流量10ml/minのArガスを導入し、アルゴンプラズマにより半導体表面を5分間程度プラズマクリーニングする。続いて、流量10ml/minのSiH₄ガスと、流量20ml/minのO₂ガスと、流量20ml/minのN₂ガスを導入し、基板上に、厚さ10nm程度のシリコン酸化(SiON)膜からなるゲート絶縁膜を形成する。

【0069】本実施形態ではGaAs基板を用いたMISFETについて述べたが、本発明では、化合物半導体であるInP、ZnSe、InGaAs、InAlAs、InGaAsN、InGaAsP、InGaPN、GaN、AlGaN、InGaNなどを基板としたMESFET、HEMTにおいても、同様の効果を得ることができる。

【0070】また、アルゴンプラズマクリーニングの代わりに、O₂ガスを流量20ml/minで導入し、5分程度の酸素プラズマ処理を行なってもよい。酸素プラズマ処理は、基板表面に自然酸化膜が形成されるため、シリコン酸化膜を形成させる場合に適している。

【0071】(第4の実施形態)本実施形態では、シリコン酸化膜/シリコン窒化膜からなる多層膜をゲート絶縁膜に用いる化合物半導体のMISFETについて説明する。

【0072】本実施形態の半導体装置は、図11(a)、(b)に示す構造において、ゲート絶縁膜44、54が、シリコン酸化膜/シリコン窒化膜の多層膜からなる構造を有する。

【0073】以下に、本実施形態のゲート絶縁膜の製造方法について説明する。前工程まで終えた基板を、真空度が 1.33×10^{-4} Pa程度のECRプラズマCVD装置に導入する。導入後、基板温度を300℃程度とし、温度が安定するまで10分間程度放置する。その後、Arガスを流量10ml/minで導入し、アルゴンプラズマにより半導体表面を5分間程度プラズマクリーニングする。その後、流量20ml/minのSiH₄ガスと、流量30ml/minのO₂ガスを導入し、厚さ10nm程度のシリコン酸化物薄膜を形成する。続いて、流量20ml/minのSiH₄ガスと、流量20ml/minのN₂ガスを導入し、厚さ10nm程度のシリコン窒化物薄膜を形成する。この工程を交互に繰り返し、シリコン酸化膜/シリコン窒化膜の多層膜を形成した後、基板を徐冷しプラズマCVD装置より取り出す。

【0074】本実施形態においては、シリコン酸化膜とシリコン窒化膜を形成する順序が入れ替わっても同様の効果が得られる。

【0075】本実施形態ではGaAs基板を用いたMISFETについて述べたが、本発明では、化合物半導体であるInP、ZnSe、InGaAs、InAlAs、InGaAsN、InGaAsP、InGaPN、GaN、AlGaN、InGaNなどを基板としたMESFET、HEMTにおいても、同様の効果を得ることができる。

【0076】また、アルゴンプラズマクリーニングの代わりに、O₂ガスを流量20ml/minで導入し、5分程度の酸素プラズマ処理を行なってもよい。酸素プラズマ処理は、基板表面に自然酸化膜が形成されるため、酸化膜/窒化膜の多層薄膜を形成させる場合に適している。酸素プラズマ処理を行なった後にシリコン窒化膜を形成すると、シリコン酸化膜/シリコン窒化膜の多層薄膜をゲート絶縁膜層とした場合と同様の効果を得ることができる。

【0077】

【発明の効果】本発明では、パッシベーション層あるいはゲート絶縁膜がデバイス表面に与えるひずみを小さくすることが可能であるため、ピエゾ電気効果を抑制することができ、閾値電圧や飽和電流等の変動を抑えた電界効果型トランジスタを提供することができる。

【図面の簡単な説明】

【図 1】第 1 の実施形態の半導体装置の構造を示す平面図である。

【図 2】第 1 の実施形態の半導体装置の構造を示す断面図である。

【図 3】(a) ~ (c) は、第 1 の実施形態の半導体装置の製造工程を示す断面図である。

【図 4】(a) ~ (c) は、第 1 の実施形態の半導体装置の製造工程を示す断面図である。

【図 5】基板の (110) 面を主面とした場合のデバイスが受けるひずみ量と、パッシベーション層の材質との関係を示すグラフ図である。

【図 6】基板の (111) 面を主面とした場合のデバイスが受けるひずみ量と、パッシベーション層の材質との関係を示すグラフ図である。

【図 7】第 2 の実施形態の半導体装置の構造を示す平面図である。

【図 8】第 2 の実施形態の半導体装置の構造を示す断面図である。

【図 9】(a) ~ (c) は、第 2 の実施形態の半導体装置の製造工程を示す断面図である。

【図 10】(a) ~ (c) は、第 2 の実施形態の半導体装置の製造工程を示す断面図である。

【図 11】(a), (b) は、第 3, 第 4 の実施形態の半導体装置の構造を示す断面図である。

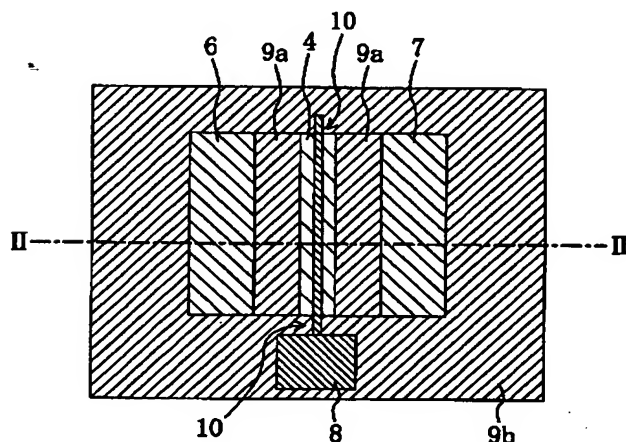
【図 12】(a), (b) は、従来の半導体装置の構造を示す断面図である。

【符号の説明】

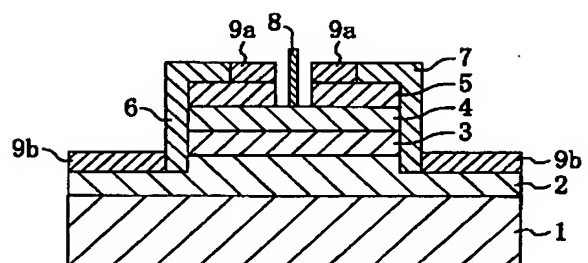
- 1 基板
- 2 高抵抗層
- 3 チャンネル層
- 4 高抵抗層
- 5 コンタクト層
- 6 ソース電極層
- 7 ドレイン電極層

- 8 ゲート電極
- 9 a パッシベーション層
- 9 b パッシベーション層
- 10 段差部
- 11 レジスト
- 12 レジスト
- 13 レジスト
- 21 基板
- 22 高抵抗層
- 23 チャンネル層
- 24 高抵抗層
- 25 コンタクト層
- 26 ソース電極層
- 27 ドレイン電極層
- 28 ゲート電極層
- 29 a パッシベーション層
- 29 b パッシベーション層
- 30 段差部
- 31 レジスト
- 32 レジスト
- 33 レジスト
- 41 基板
- 42 半導体層
- 43 ソース・ドレイン領域
- 44 ゲート絶縁膜
- 45 ゲート電極
- 46 ソース・ドレイン電極
- 51 基板
- 52 半導体層
- 53 ソース・ドレイン層
- 54 ゲート絶縁膜
- 55 ゲート電極
- 56 ソース・ドレイン電極

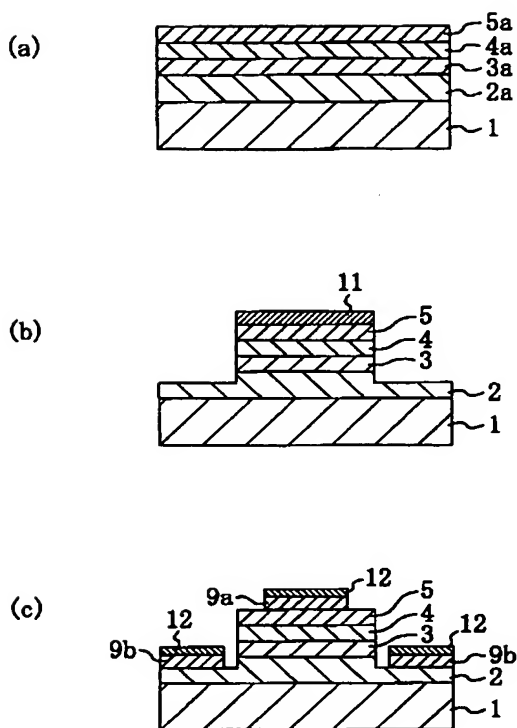
【図 1】



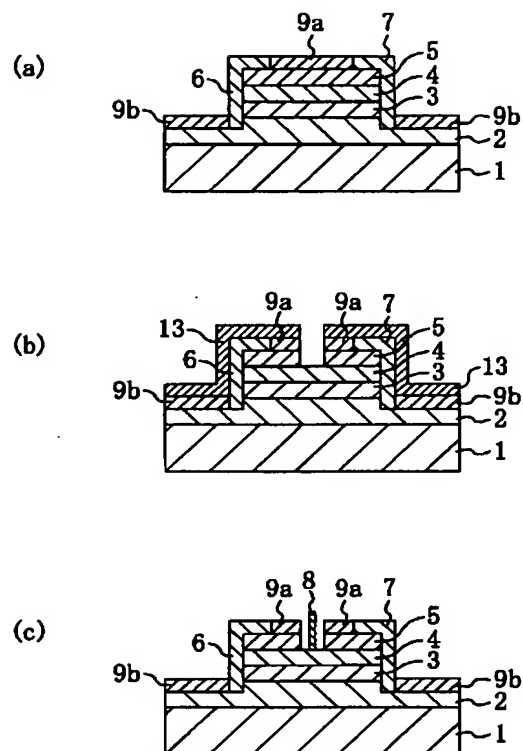
【図 2】



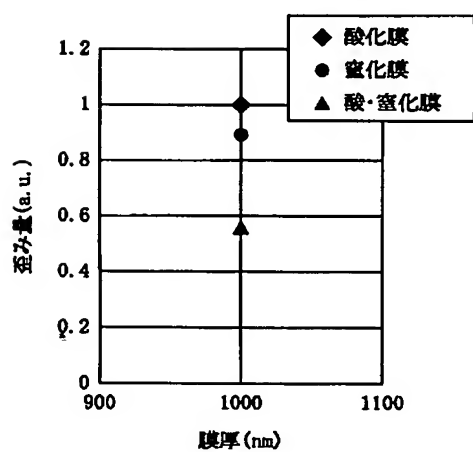
【図3】



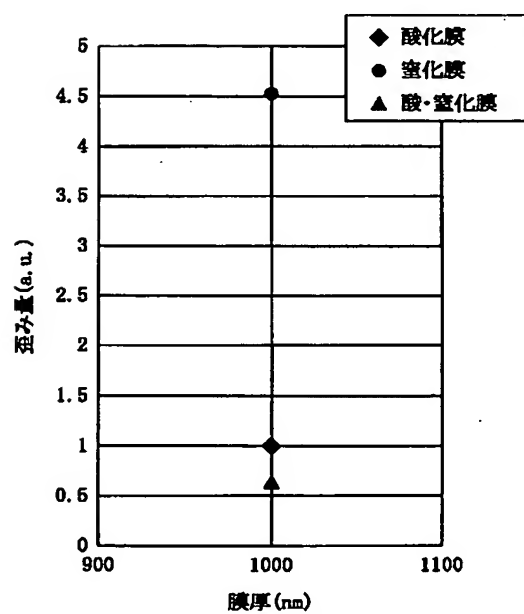
【図4】



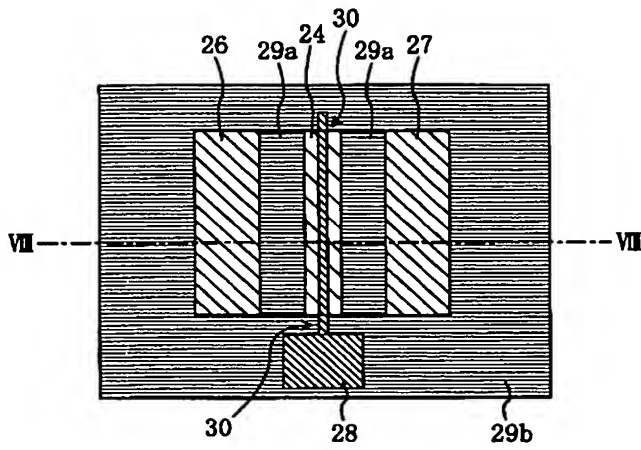
【図5】



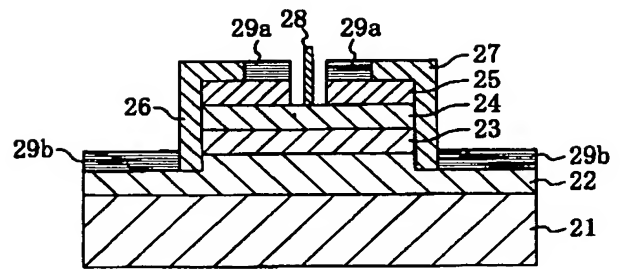
【図6】



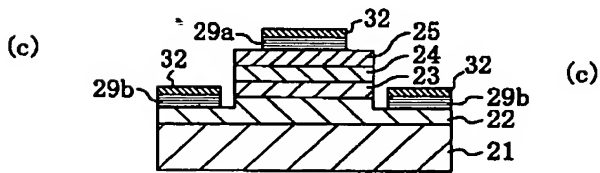
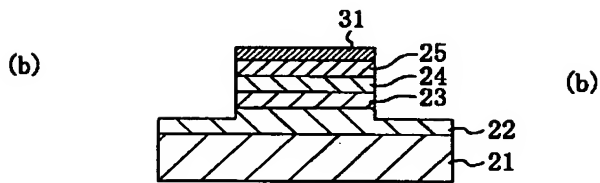
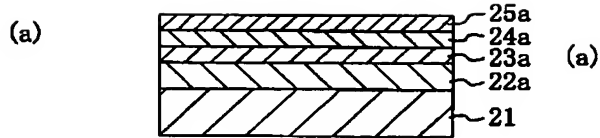
【図 7】



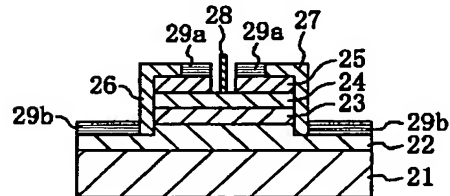
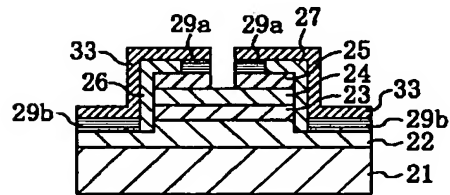
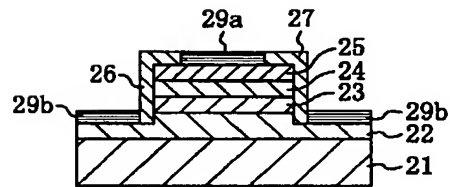
【図 8】



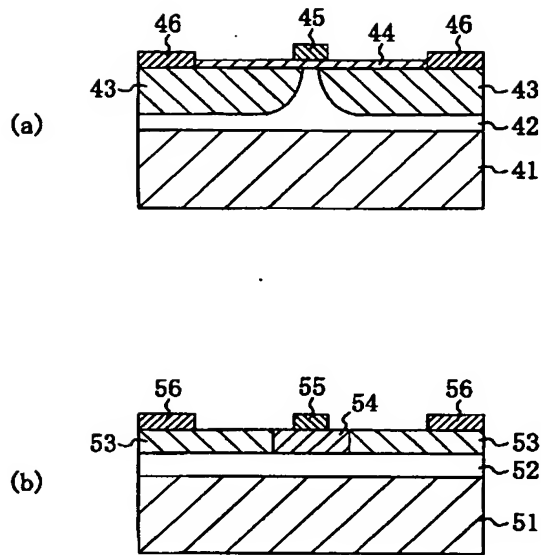
【図 9】



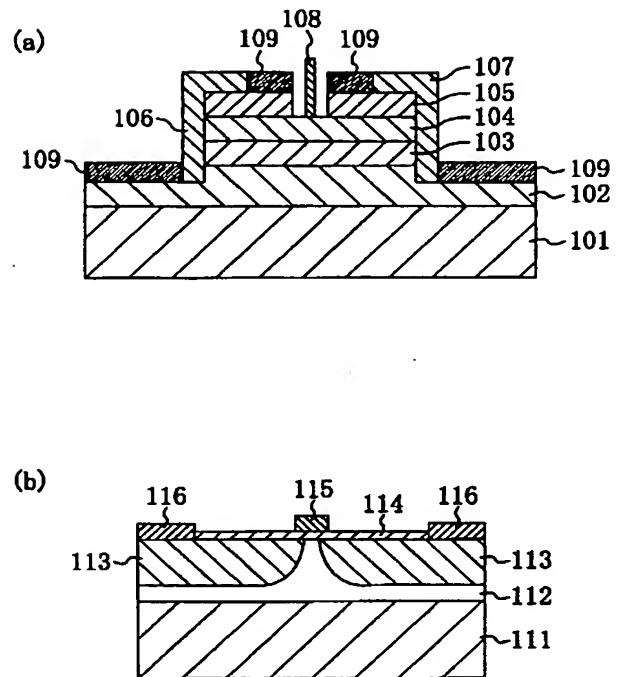
【図 10】



【図 11】



【図 12】



フロントページの続き

(72)発明者 出口 正洋
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 吉井 重雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 鈴木 朝実良
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5F102 FA01 GB01 GC01 GD01 GD10
GJ05 GK05 GL05 GM05 GM07
GN05 GQ01 GR01 GR04 GR15
GT03 GV06 GV07 GV08 HC01
HC11 HC15 HC24
5F140 AA01 BA06 BA07 BA08 BA09
BA10 BB06 BD01 BD09 BD10
BE02 BE10